

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-246683

(43) 公開日 平成9年(1997)9月19日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K	1/14		H 0 5 K	1/14 C
	3/36			3/36 B
	3/46			3/46 Q
				N
	7/20			7/20 C
審査請求 有 請求項の数16 O L (全 8 頁)				

(21) 出願番号 特願平8-55683

(22) 出願日 平成8年(1996)3月13日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 井上 龍雄

東京都港区芝五丁目7番1号 日本電気株式会社内

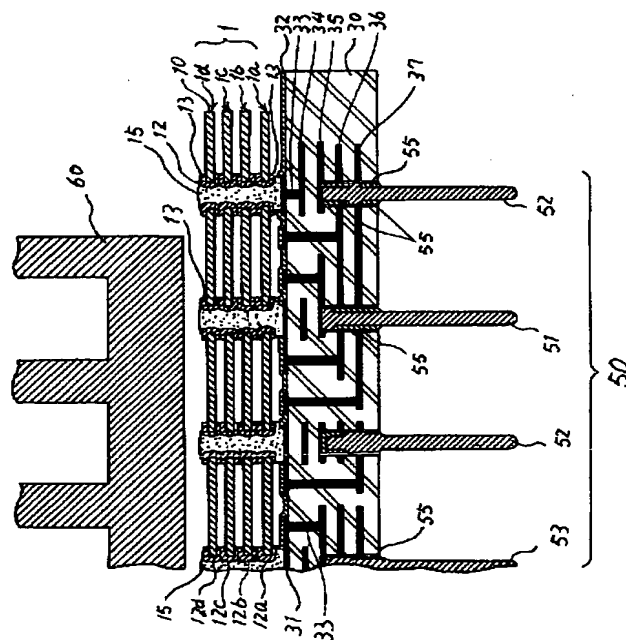
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 電子部品の実装構造およびその製造方法

(57) 【要約】

【課題】 基板間の接続状態の確認を容易にする。短時間で設計変更可能とする。

【解決手段】 L S Iチップ20はフィルムキャリア1に実装される。複数のフィルムキャリア1が配線基板30上に積層される。フィルムキャリア1にはスルーホール12が設けられる。隣接するフィルムキャリア1のスルーホール12間は、ハンダ15により接続される。スルーホール12間の接続状態は、最上のスルーホール12内にハンダ15が出現したことにより確認できる。設計変更時、フィルムキャリア1の間に設計変更用フィルムキャリア4が挿入される。



BEST AVAILABLE COPY

(2)

【特許請求の範囲】

【請求項1】 各々がスルーホールを有する積層された複数の可撓性基板を含み、

前記複数の可撓性基板の前記スルーホールのうち前記可撓性基板の積層方向に隣接するもの同士がハンダ接続されることを特徴とする電子部品の実装構造。

【請求項2】 第1の面にパッドを有する配線基板をさらに含み、

この配線基板の前記第1の面に前記複数の可撓性基板が搭載され、

前記複数の可撓性基板のうち最下のものの前記スルーホールと前記配線基板の前記パッドとがハンダ接続されることを特徴とする請求項1記載の電子部品の実装構造。

【請求項3】 前記スルーホール内にハンダが充填されていることを特徴とする請求項1記載の電子部品の実装構造。

【請求項4】 前記可撓性基板の少なくとも1つに電子回路チップが搭載されることを特徴とする請求項1記載の電子部品の実装構造。

【請求項5】 前記複数の可撓性基板の各々において、前記スルーホールが格子点上に配置されていることを特徴とする請求項1記載の電子部品の実装構造。

【請求項6】 前記複数の可撓性基板の少なくとも1つが切断手段を含み、

この切断手段が、前記格子点の少なくとも1つにおいて、当該可撓性基板の両面間を絶縁することを特徴とする請求項5記載の電子部品の実装構造。

【請求項7】 前記複数の可撓性基板の少なくとも1つが接続手段を含み、

この接続手段が、当該可撓性基板上の少なくとも2つの前記スルーホール間を電気的に接続することを特徴とする請求項1記載の電子部品の実装構造。

【請求項8】 前記複数の可撓性基板の少なくとも1つが切換手段を含み、

前記切換手段は、前記格子点のうちの第1の格子点において当該可撓性基板の両面間を絶縁するとともに、前記第1の格子点とこの第1の格子点とは異なる第2の格子点とを電気的に接続することを特徴とする請求項5記載の電子部品の実装構造。

【請求項9】 第1のスルーホールを有する第1の可撓性基板と、

この第1の可撓性基板に積層されるとともに、前記第1のスルーホールと対向する第2のスルーホールを有する第2の可撓性基板と、

前記第1のスルーホールと前記第2のスルーホールとを接続するハンダとを含むことを特徴とする電子部品の実装構造。

【請求項10】 第1の面にパッドを有し、この第1の面に前記第1の可撓性基板が搭載される配線基板をさらに含み、

2

前記配線基板の前記パッドと前記第1のスルーホールとがハンダ接続されることを特徴とする請求項9記載の電子部品の実装構造。

【請求項11】 第1のスルーホールを有する第1の可撓性基板と、第2のスルーホールを有する第2の可撓性基板とを含む電子部品の実装構造の製造方法において、前記第1のスルーホールの上にハンダを位置づける第1のステップと、

前記第2のスルーホールが前記ハンダと対向するように前記第2の可撓性基板を位置づける第2のステップと、

前記ハンダを溶解し、前記ハンダの少なくとも一部を前記第2のスルーホール内に移動させ、前記ハンダにより前記第1および第2のスルーホールを接続する第3のステップとを含むことを特徴とする電子部品の実装構造の製造方法。

【請求項12】 パッドを有する配線基板と、第1のスルーホールを有する第1の可撓性基板と、第2のスルーホールを有する第2の可撓性基板とを含む電子部品の実装構造の製造方法において、

前記配線基板の前記パッドの上にハンダを位置づける第1のステップと、

前記第1のスルーホールが前記ハンダに対向するように前記第1の可撓性基板を位置づけるとともに、前記第2のスルーホールが前記第1のスルーホールに対向するように前記第2の可撓性基板を位置づける第2のステップと、

前記ハンダを溶解し、前記ハンダの少なくとも一部を前記第1および第2のスルーホール内に移動させ、前記ハンダにより前記配線基板の前記パッドと前記第1の可撓性基板の前記第1のスルーホールと前記第2の可撓性基板の前記第2のスルーホールとを接続する第3のステップとを含むことを特徴とする電子部品の実装構造の製造方法。

【請求項13】 パッドを有する配線基板と、第1のスルーホールを有する第1の可撓性基板と、第2のスルーホールを有する第2の可撓性基板とを含む電子部品の実装構造の製造方法において、

前記配線基板の前記パッドの上に第1のハンダを位置づける第1のステップと、

前記第1のスルーホールが前記第1のハンダに対向するように前記第1の可撓性基板を位置づける第2のステップと、

前記第1のハンダを溶解し、前記第1のハンダの少なくとも一部を前記第1のスルーホール内に移動させ、前記第1のハンダにより前記配線基板の前記パッドと前記第1の可撓性基板の前記第1のスルーホールとを接続する第3のステップと、

前記第1のスルーホールの上に前記第1のハンダよりも融点が低い第2のハンダを位置づける第4のステップと、

50

(3)

3

前記第 2 のスルーホールが前記第 2 のハンダに対向するように前記第 2 の可撓性基板を位置づける第 5 のステップと、

前記第 2 のハンダを前記第 1 のハンダの融点以下の温度で溶解し、前記第 2 のハンダの少なくとも一部を前記第 2 のスルーホール内に移動させ、前記第 2 のハンダにより前記第 1 および第 2 のスルーホールを接続する第 6 のステップとを含むことを特徴とする電子部品の実装構造の製造方法。

【請求項 1 4】 各々がスルーホールを有する積層された複数の可撓性基板を接続するための電子部品の実装構造の製造方法において、

前記複数の可撓性基板のスルーホールのうち前記可撓性基板の積層方向に隣接するもの同士をハンダで接続する第 1 のステップと、

前記複数の可撓性基板のうち最上のものの前記スルーホール内に前記ハンダが出現したことにより、前記スルーホール間の接続状態を確認する第 2 のステップとを含むことを特徴とする電子部品の実装構造の製造方法。

【請求項 1 5】 前記複数の可撓性基板のうち少なくとも最上のものに実装された電子部品と、

この電子部品と熱的に接続された放熱部材と、
この放熱部材を前記配線基板上に支持する支持手段とを含むことを特徴とする請求項 1 記載の電子部品の実装構造。

【請求項 1 6】 前記スルーホールがテーパを有することを特徴とする請求項 1 記載の電子部品の実装構造。

【発明の詳細な説明】

【発明の属する技術分野】本発明は、電子部品の実装構造に関し、特に複数の基板が積層される電子部品の実装構造に関する。

【0001】

【従来の技術】複数の基板が積層される実装構造の従来技術の一例は、ラオ・アール・ツンマラ、エウゲン・ジェイ・リマスツキー共著、1989 年ファン・ノストランド・ラインホルド社刊行の「マイクロエレクトロニクス・パッケージング・ハンドブック」(Rao R. Tummala, Eugene J. Rymaszewski, "Microelectronics Packaging Handbook", 1989, Van Nostrand Reinhold, New York) 第 462 頁から第 464 頁に記載されている。

【0002】同文献第 7-7 図を参照すると、この技術では、2 つのセラミック基板が積層される。これらセラミック基板間は、上部基板の下面から突出したピンを、下部基板の上面にハンダ付けすることにより接続されている。

【0003】

【発明が解決しようとする課題】この従来技術では、次のような問題があった。

【0004】第 1 に、基板間の接続状態が確認し難い。接続部分が上部基板に被覆されるためである。

4

【0005】第 2 に、設計変更に長時間を要する。テープ・アウトメーティッド・ボンディング (TAB) テープなどの可撓性基板に比べて、セラミック基板の設計変更が長時間を要するためである。具体的には、TAB テープの設計変更が数日で完了するのにに対し、セラミック基板の設計変更には数カ月を要する。特に時間を要するのは、内部配線のマスクやスクリーンの変更工程である。

【0006】このような従来技術の問題に鑑み、本発明の第 1 の目的は、基板間の接続状態の確認が容易な電子部品の実装構造を提供することにある。

【0007】本発明の第 2 の目的は、短時間に設計変更できる電子部品の実装構造を提供することにある。

【0008】本発明の第 3 の目的は、電子部品間の接続配線長を短縮することにある。

【0009】

【課題を解決するための手段】本発明の電子部品の実装構造は、各々がスルーホールを有する積層された複数の可撓性基板を含み、前記複数の可撓性基板の前記スルーホールのうち前記可撓性基板の積層方向に隣接するもの同士がハンダ接続される。

【0010】このような実装構造の製造方法は、第 1 のスルーホールを有する第 1 の可撓性基板と第 2 のスルーホールを有する第 2 の可撓性基板とを含む電子部品の実装構造の製造方法において、前記第 1 のスルーホールの上にハンダを位置づける第 1 のステップと、前記第 2 のスルーホールが前記ハンダに対向するように前記第 2 の可撓性基板を位置づける第 2 のステップと、前記ハンダを溶解し、前記ハンダの少なくとも一部を前記第 2 のスルーホール内に移動させ、前記ハンダにより前記第 1 および第 2 のスルーホールを接続する第 3 のステップとを含む。

【0011】また、他の製造方法は、各々がスルーホールを有する積層された複数の可撓性基板を接続するための電子部品の実装構造の製造方法において、前記複数の可撓性基板のスルーホールのうち前記可撓性基板の積層方向に隣接するもの同士をハンダで接続する第 1 のステップと、前記複数の可撓性基板のうち最上のものの前記スルーホール内に前記ハンダが出現したことにより、前記スルーホール間の接続状態を確認する第 2 のステップとを含む。

【0012】

【発明の実施の形態】次に本発明の第 1 の実施例について、図面を参照して説明する。

【0013】図 1 を参照すると、本発明の第 1 の実施例の電子部品の実装構造は、配線基板 30 と配線基板 30 の上面に積層された複数のフィルムキャリア 1 を含む。図 1 には、4 層のフィルムキャリア 1 a ~ 1 d が図示されているが、フィルムキャリア 1 の層数に制約はない。隣接するフィルムキャリア 1 の間には、後述する接続構造

(4)

5

により接続されている。各フィルムキャリア1の中央部には、LSIチップ20が実装されている。LSIチップ20の回路面は、プラスチックモールド樹脂22で被覆されている。隣接するLSIチップ20の間には、図示しない伝熱板が介在する。伝熱板は、銅-タングステン合金などの良熱伝導性材料で形成される。配線基板30の下面には、複数の入出力ピン50が立設されている。

【0014】図2および図3を参照すると、各々のフィルムキャリア1は、可撓性フィルム10を含む。可撓性フィルム10の材料は、ポリイミド樹脂やエポキシ樹脂などの絶縁材料である。可撓性フィルム10は、一辺約50mmの正方形を呈す。可撓性フィルム10は、約50 μ mの厚さを有し、可撓性を示す。

【0015】可撓性フィルム10の中央部には、LSIチップ20を収容するためのデバイスホールが設けられる。デバイスホールの外側には、複数のスルーホール12が格子状に配置される。格子間隔は約1.27mmである。スルーホール12の直径は、約100 μ mである。スルーホール12の周囲及び内側面には、導体パターンであるランド13が設けられる。ランド13の直径は、約300 μ mである。

【0016】可撓性フィルム10上には、配線パターン11が設けられる。配線パターン11の線幅は、約50 μ mである。配線パターン11の一端は、スルーホール12に接続される。配線パターン11の他端は、デバイスホールの周縁において、ビームリード14の一端に接続される。ビームリード14の他端は、デバイスホールの内部に突出し、LSIチップ20の接続端子に接続される。

【0017】フィルムキャリア1の製造およびLSIチップ20の実装には、テープ・オートメーティッド・ボンディング(TAB)技術を利用できる。TAB技術の詳細は、例えば、ラオ・アール・ツンマラ、エウゲン・ジェイ・リマスツキー共著、1989年ファン・ノストラッド・ラインホルド社刊行の「マイクロエレクトロニクス・パッケージング・ハンドブック」(Rao R. Tummala, Eugene J. Rymaszewski, "Microelectronics Packaging Handbook", 1989, Van Nostrand Reinhold, New York) 第409頁～第454頁に記載されている。TAB技術で製造されたフィルムキャリア1は、TABテープキャリアと呼称される。

【0018】配線基板30の材料は、ガラス繊維で補強されたエポキシ樹脂やポリイミド樹脂などである。配線基板30は、一辺約60mmの正方形を呈する。配線基板30は約2.5mmの厚さを有し、堅固な剛性を示す。配線基板30は、多層配線基板である。配線基板30の内部には、接地配線層34および36と、電源配線層35および37とが設けられる。

【0019】配線基板30の上面には、複数のパッド3

6

1が設けられる。パッド31は、フィルムキャリア1のスルーホール12に対応する位置に配置される。つまり、パッド31は格子状に配置される。格子間隔は約1.27mmである。配線基板30の上面のパッド31を除く領域には、ソルダーレジスト32が被覆されている。

【0020】配線基板30の下面には、複数の入出力ピン50が立設される。入出力ピン50は格子状に配置される。格子間隔は、約1.27mmである。実装構造がマザーボードに実装される時、入出力ピン50がこのマザーボードに接続される。入出力ピン50を配線基板30の下面全面に配置したので、LSIチップ20の直下もしくはその近傍の入出力ピン50を利用して、配線の長さを最短にできる。

【0021】図3を参照すると、入出力ピン50の一端は、配線基板30の穴部38に挿入される。入出力ピン50の挿入部分には、絶縁皮膜55が被覆されている。絶縁皮膜55の一部は除去され、この部分から入出力ピン50の側面が露出する。絶縁皮膜55の除去部分に応じて、3種の入出力ピン51～53が用意されている。入出力ピン51では、上部の絶縁皮膜55が除去されている。このため、入出力ピン51は電源配線層35に接続する。入出力ピン52では、下部の絶縁皮膜55が除去される。入出力ピン52は電源配線層37に接続する。入出力ピン53では、中間部の絶縁皮膜55が除去されている。入出力ピン53は接地配線層36に接続する。このように、ピン種の選択により、配線基板30の内部配線層と入出力ピン50とを選択的に接続できる。また、配線基板30には、信号ピン用のスルーホールも設けられている。信号ピン用のスルーホールには、絶縁被覆のないピンが挿入される。

【0022】図2及び図3を参照すると、最上のフィルムキャリア1dに実装されたLSIチップ20の上には、放熱用のヒートシンク60が取り付けられる。

【0023】次に、フィルムキャリア1a～1d間の接続構造について説明する。

【0024】図3を参照すると、フィルムキャリア1a～1dのスルーホール12a～12dは、配線基板30のパッド31上に一直線上に位置づけられる。これらスルーホール12a～12dは、ハンダ15により接続される。ハンダ15は、スルーホール12a～12dの内部に充填されている。

【0025】次に、本実施例の実装構造の製造方法について、図面を参照して説明する。具体的には、フィルムキャリア1aおよび1bを配線基板30上に積層する方法について説明する。この積層方法では、複数のフィルムキャリア1が一度に接続される。

【0026】図4(a)を参照すると、第1のステップにおいて、配線基板30のパッド31上にハンダ15が位置づけられる。例えば、クリーム状のハンダ15が、

(5)

7

パッド31上に印刷される。

【0027】図4(b)を参照すると、第2のステップにおいて、積層されたフィルムキャリア1aおよび1bが、ハンダ15の上に位置づけられる。

【0028】図4(c)を参照すると、第3のステップにおいて、ハンダ15が加熱される。ハンダ15は溶解し、その一部はスルーホール12aおよび12bの内部へ吸い上げられる。その後、ハンダ15が冷却され、パッド31とスルーホール12aおよび12bが接続される。

【0029】次に、他の積層方法について説明する。この積層方法では、フィルムキャリア1が順次積層される。

【0030】図5(a)を参照すると、第1のステップにおいて、パッド31の上にハンダ15aが位置づけられる。

【0031】図5(b)を参照すると、第2のステップにおいて、図4(b)および(c)と同様の方法で、フィルムキャリア1aのスルーホール12aがパッド31に接続される。

【0032】図5(c)を参照すると、第3のステップにおいて、ハンダ15aの上にハンダ15bが位置づけられる。ハンダ15bの融点は、ハンダ15aのものより高い。

【0033】図5(d)を参照すると、第4のステップにおいて、図4(b)および(c)と同様の方法で、フィルムキャリア1bのスルーホール12bがスルーホール12aに接続される。ハンダ15bの加熱温度は、ハンダ15aの融点より低い。このため、ハンダ15aは第4のステップで溶解しない。

【0034】以上の製造方法では、スルーホール12aおよび12bの接続状態を容易に確認できる。具体的には、最上のスルーホール12bの内部にハンダ15が出現したことを確認すればよい。これは、フィルムキャリア1bを上方から目視するだけで確認できる。

【0035】第1の実施例において、LSIチップ20の一辺が20mmとし、LSIチップ20と熱伝導板とプラスチックモールド樹脂20とを合わせた高さを1mmとし、LSIチップ20が2mmの間隔で積層されるとし、フィルムキャリア1の一辺を50mmとし、1つのフィルムキャリア1に4つのLSIチップ20が実装されるとすると、16個のLSIチップ20は、1辺40mm、高さ4mmの正四角柱の領域内に配置される。これらLSIチップ20の配線領域は、一辺50mm、高さ4mmの正四角柱になる。したがって、LSIチップ20が3次元直行系配線で相互接続されるとき、最遠のLSIチップ20間を結ぶ配線長は、104mm以下となる。

【0036】一方、上述した16個のLSIチップ20を1層の基板に実装したとき、LSIチップ20の実装

8

領域は1辺80mmの正方形となる。この構造において、最遠のLSIチップ20同士を結ぶ配線長は、約160mmに及ぶ。このように、本発明によるとLSIチップ20間の配線長を短縮できる。

【0037】次に、本発明の第2の実施例について、図面を参照して説明する。第2の実施例の特徴はスルーホール12の構造にある。他の構造は第1の実施例のものと本質的に同じである。

【0038】図6を参照すると、第2の実施例のスルーホール12にはテーパが設けられている。

【0039】次に、本発明の第3の実施例について、図面を参照して説明する。第2の実施例の特徴は、設計変更を容易にするための設計変更用フィルムキャリアにある。他の構造は、第1の実施例のものと本質的に同じである。設計変更用フィルムキャリアには、切断手段、接続手段、および、切換手段が適宜設けられ、これら手段の組合せにより設計変更が実現される。

【0040】図7(a)を参照すると、設計変更用フィルムキャリア4の切断手段は、スルーホールを設けないことによって実現される。フィルムキャリア1は、格子点上にスルーホール12が設けられている。しかし、設計変更用フィルムキャリア4は、この格子点上にスルーホールを持たず、上下面間は絶縁されている。スルーホールに代わって、設計変更用フィルムキャリア4の上面にはランド41が設けられる。ランド41は、フィルムキャリア1のスルーホール12にハンダ接続される。このようにして、信号スルーホール33とスルーホール12とが電気的に切断される。なお、設計変更用フィルムキャリア4の可撓性フィルム40の材料、寸法、および、形状は、可撓性フィルム10のものと同じで良い。

【0041】図7(b)を参照すると、設計変更用フィルムキャリア4の接続手段は、設計変更用フィルムキャリア4上に設けられた配線パターン43により実現される。配線パターン43は、設計変更用フィルムキャリア4のスルーホール421およびスルーホール422を接続する。これにより、信号スルーホール331と信号スルーホール332とが接続される。

【0042】図7(c)を参照すると、設計変更用フィルムキャリア4の切換手段は、切断手段と接続手段の組合せで実現される。フィルムキャリア1は格子点上にスルーホール12を有する。しかし、設計変更用フィルムキャリア4は、この格子点にスルーホール12を有さない。このため、スルーホール12は信号スルーホール331と電気的に切断される。スルーホールの代わりに、設計変更用フィルムキャリア4の上面には、ランド44が設けられる。ランド44は、配線パターン43を介してスルーホール42に接続される。スルーホール42は、スルーホール12とは別の格子点に位置する。このようにして、本来は信号スルーホール331に接続するはずのスルーホール12を、信号スルーホール332に

(6)

9

切換接続することができる。

【0043】切断手段、接続手段、および、切換手段を組み合わせることにより、様々な設計変更に対応できる。多層配線基板に比べて、設計変更用フィルムキャリア4は短時間で作成できる。このため、実装構造を短時間で設計変更できる。現在のところ、設計変更用フィルムキャリア4は2～3日程度で作成できる。

【0044】本実施例では、配線基板30と最下層のフィルムキャリア1の間に、設計変更用フィルムキャリア4を設置した。しかし、設計変更用フィルムキャリア4を他の層間位置に設置することも可能である。また、複数の設計変更用フィルムキャリア4を用いても良い。

【0045】次に、本発明の第4の実施例について、図面を参照して説明する。

【0046】図8を参照すると、本実施例の特徴は、ヒートシンク60を支持するための支持部材61を設けたことにある。他の構造は、第1の実施例のものと本質的に同じである。

【0047】支持部材61は柱状の脚部とこの脚部の上に設けられた板部とを有する。支持部材61の脚部は、可撓性フィルム10に設けられた穴に挿入され、配線基板30上に固定される。このとき、最上のフィルムキャリア1のLSIチップ20と、支持部材61の板部の下面とが接触する。板部は、最上のスルーホール12を収容する穴を有する。この穴により、スルーホール12と板部との電気的接触が防止される。支持部材61の上面には、ヒートシンク60が取り付けられる。

【0048】隣接する可撓性フィルム10間に樹脂が充填されても構わない。また、支持部材61と最上の可撓性フィルム10の間に樹脂が充填されても構わない。これら樹脂として、絶縁性と良熱伝導性を兼ね備えるものが好ましい。

【0049】このような構造では、各LSIチップ20から発生した熱が、LSIチップ20の間隙に設けられた熱伝導板を介して、最上のLSIチップ20に伝わる。最上のLSIチップ20に伝わった熱は、支持部材61の板部を介してヒートシンク60に伝わる。ヒートシンク60に伝わった熱は、外気に排熱される。

【0050】第4の実施例では、ヒートシンク60が支持部材61により支持されるので、ヒートシンク60の重量がLSIチップ20に加わらない。このため、大型のヒートシンク60を用いても、LSIチップ20の信頼性が低下しない。また、支持部材61の脚部は、フィルムキャリア1のガイドとしても機能する。

【0051】次に、本発明の他の実施態様について説明する。

【0052】1つのフィルムキャリア1に複数のLSIチップ20が実装されても良い。上述の各実施例の特徴を組み合わせても良い。

【0053】

10

【発明の効果】以上のように、本発明では、LSIチップ20をフィルムキャリア1に実装し、複数のフィルムキャリア1を積層した。フィルムキャリア1間は、フィルムキャリア1に設けられたスルーホール12同士をハンダづけすることにより接続される。設計変更は、設計変更用フィルムキャリア4を、フィルムキャリア1間に介在させることによって実現される。このような構成により、以下の効果が達成される。

【0054】第1に、フィルムキャリア1間の接続状態が容易に確認できる。具体的には、最上のスルーホール12内にハンダが出現したことを目視で確認すればよい。

【0055】第2に、短時間で設計変更ができる。具体的には、設計変更用フィルムキャリア4を挿入すれば良い。設計変更用フィルムキャリア4は、短時間で作成できる。

【0056】第3に、電子部品間の接続配線長を短縮できる。電子部品を3次元的に実装したためである。

【図面の簡単な説明】

【図1】 本発明の第1の実施例の構造を示す図。

【図2】 本発明の第1の実施例の構造を示す分解図。

【図3】 本発明の第1の実施例の詳細な構造を示す図。

【図4】 本発明の第1の実施例の製造方法を示す図。

【図5】 本発明の第1の実施例の他の製造方法を示す図。

【図6】 本発明の第2の実施例のスルーホール12の構造を示す図。

【図7】 本発明の第3の実施例の設計変更用フィルムキャリア4の構造を示す図。

【図8】 本発明の第4の実施例の構造を示す図。

【符号の説明】

- 1、1a～1d フィルムキャリア
- 10、10a～10d 可撓性フィルム
- 11 配線パターン
- 12、12a～12d スルーホール
- 121 スルーホール
- 122 スルーホール
- 13 ランド
- 14 ビームリード
- 15 ハンダ
- 20 LSIチップ
- 22 プラスチックモールド樹脂
- 30 配線基板
- 31 パッド
- 32 ソルダーレジスト
- 33 信号スルーホール
- 331 信号スルーホール
- 332 信号スルーホール
- 34 接地配線層

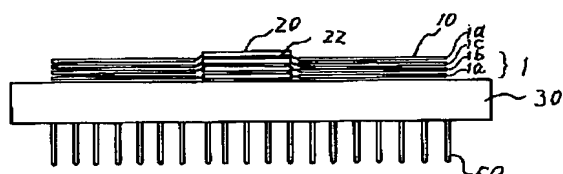
(7)

- 11
- 3 5 電源配線層
 - 3 6 接地配線層
 - 3 7 電源配線層
 - 3 8 穴部
 - 4 設計変更用フィルムキャリア
 - 4 0 可撓性フィルム
 - 4 1 ランド
 - 4 2 スルーホール
 - 4 2 1 スルーホール
 - 4 2 2 スルーホール

- 12
- 4 3 配線パターン
 - 4 4 ランド
 - 5 0 入出力ピン
 - 5 1 入出力ピン
 - 5 2 入出力ピン
 - 5 3 入出力ピン
 - 5 5 絶縁皮膜
 - 6 0 ヒートシンク
 - 6 1 支持部材

10

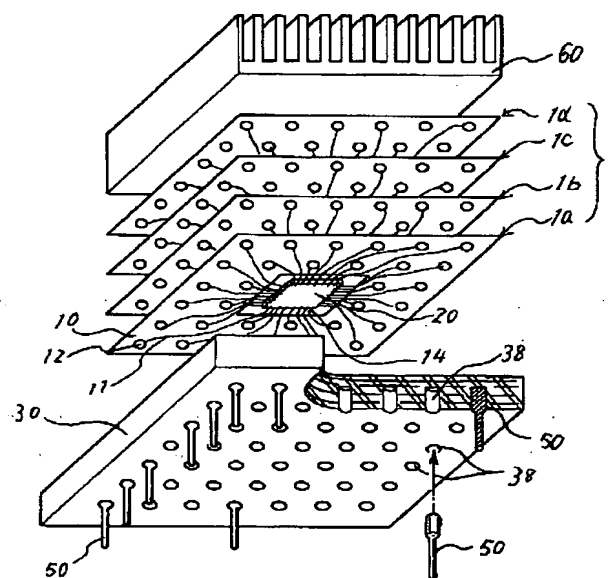
【図1】



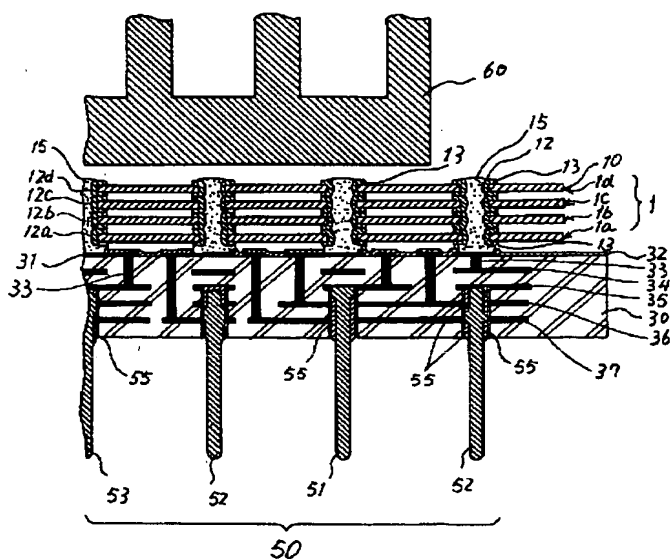
【図6】



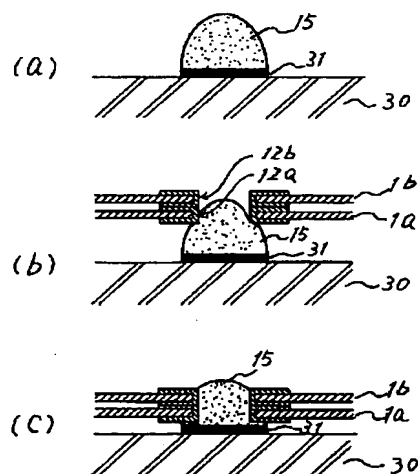
【図2】



【図3】

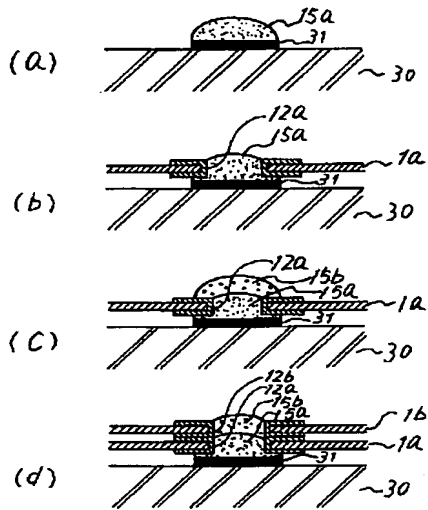


【図4】

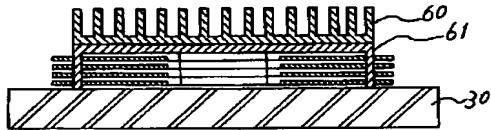


(8)

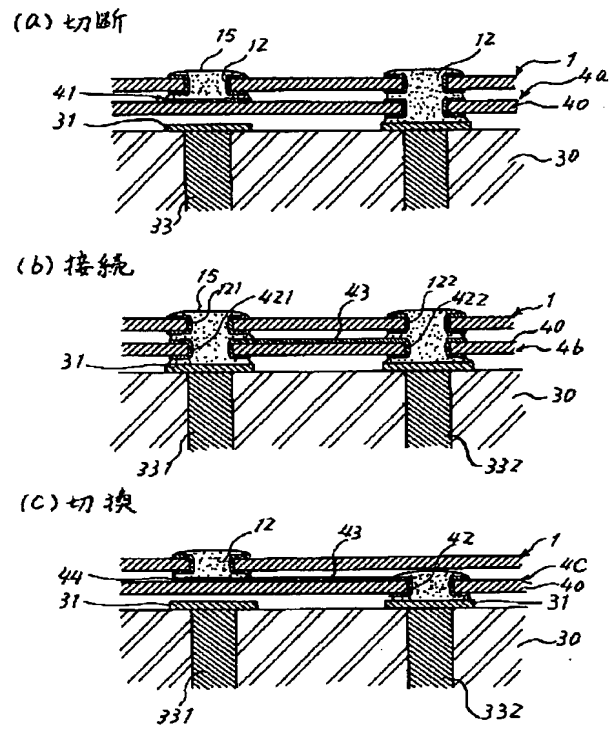
【図5】



【図8】



【図7】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-246683

(43)Date of publication of application : 19.09.1997

(51)Int.Cl.

H05K 1/14

H05K 3/36

H05K 3/46

H05K 7/20

(21)Application number : 08-055683

(71)Applicant : NEC CORP

(22)Date of filing : 13.03.1996

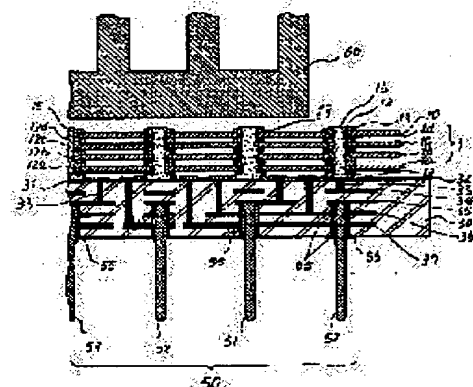
(72)Inventor : INOUE TATSUO

(54) ELECTRONIC PART MOUNTING STRUCTURE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To enable easy confirmation of an interconnected state between boards and also enable design modification of its design in a short time.

SOLUTION: An LSI chip is mounted to a film carrier 1. A plurality of such film carriers 1 are stacked on a wiring board 30. The film carriers 1 are provided therein with through holes 12. The adjacent film carriers 1 are connected by solder 15 filled in the respective through holes 12. An interconnected state of the through holes 12 can be confirmed by an appearance of the solder out of top of one of the through holes. When it is desired to modify its design, an additional film carrier is inserted between the film carriers 1.



LEGAL STATUS

[Date of request for examination] 13.03.1996

[Date of sending the examiner's decision of rejection] 14.04.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2820108

[Date of registration] 28.08.1998

[Number of appeal against examiner's decision of rejection] 10-07534

[Date of requesting appeal against examiner's decision of rejection] 11.05.1998

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Mounting structure of the electronic parts characterized by making pewter connection of those by which each adjoins in the direction of a laminating of said flexible substrate among said through holes of two or more of said flexible substrates including two or more flexible substrates which have a through hole, and by which the laminating was carried out.

[Claim 2] Mounting structure of the electronic parts according to claim 1 characterized by carrying said two or more flexible substrates in said 1st field of this wiring substrate, including further the wiring substrate which has a pad in the 1st field, and making pewter connection of said through hole of the lowest thing, and said pad of said wiring substrate among said two or more flexible substrates.

[Claim 3] Mounting structure of the electronic parts according to claim 1 characterized by filling up with the pewter in said through hole.

[Claim 4] Mounting structure of the electronic parts according to claim 1 characterized by carrying an electronic-circuitry chip in at least one of said the flexible substrates.

[Claim 5] Mounting structure of the electronic parts according to claim 1 characterized by arranging said through hole on the lattice point in each of two or more of said flexible substrates.

[Claim 6] Mounting structure of electronic parts according to claim 5 where this cutting means is characterized [in /, in at least one of said two or more of the flexible substrates / at least one of said the lattice points] by insulating between both sides of the flexible substrate concerned including a cutting means.

[Claim 7] Mounting structure of electronic parts according to claim 1 where at least one of said two or more of the flexible substrates is characterized by this connecting means connecting electrically between said at least two through holes on the flexible substrate concerned including a connecting means.

[Claim 8] It is the mounting structure of the electronic parts according to claim 5 characterized by connecting electrically the 2nd lattice point when said 1st lattice point and this 1st lattice point differ from each other while, as for said means for switching, at least one of said two or more of the flexible substrates insulates between both sides of the flexible substrate concerned in the 1st lattice point of said lattice points including a means for switching.

[Claim 9] Mounting structure of the electronic parts characterized by including the pewter which connects the 1st flexible substrate which has the 1st through hole, the 2nd flexible substrate which has said 1st through hole and the 2nd through hole which counters while a laminating is carried out to this 1st flexible substrate, and said the 1st through hole and said 2nd through hole.

[Claim 10] Mounting structure of the electronic parts according to claim 9 characterized by making pewter connection of said pad and said 1st through hole of said wiring substrate, including further the wiring substrate with which it has a pad in the 1st field, and said 1st flexible substrate is carried in this 1st field.

[Claim 11] In the manufacture approach of the mounting structure of the electronic parts containing the 1st flexible substrate which has the 1st through hole, and the 2nd flexible substrate which has the 2nd through hole The 1st step which positions a pewter on said 1st through hole, The 2nd step in which said

2nd flexible substrate is positioned so that said 2nd through hole may counter with said pewter, The manufacture approach of the mounting structure of the electronic parts characterized by including the 3rd step which dissolves said pewter, is made to move said some of pewters [at least] into said 2nd through hole, and connects said 1st and 2nd through holes with said pewter.

[Claim 12] In the manufacture approach of the mounting structure of the electronic parts containing the wiring substrate which has a pad, the 1st flexible substrate which has the 1st through hole, and the 2nd flexible substrate which has the 2nd through hole While regarding said 1st flexible substrate as the 1st step which positions a pewter on said pad of said wiring substrate so that said 1st through hole may counter said pewter The 2nd step in which said 2nd flexible substrate is positioned so that said 2nd through hole may counter said 1st through hole, Dissolve said pewter and said some of pewters [at least] are moved into said 1st and 2nd through holes. The manufacture approach of the mounting structure of the electronic parts characterized by including the 3rd step which connects said pad of said wiring substrate, said 1st through hole of said 1st flexible substrate, and said 2nd through hole of said 2nd flexible substrate with said pewter.

[Claim 13] In the manufacture approach of the mounting structure of the electronic parts containing the wiring substrate which has a pad, the 1st flexible substrate which has the 1st through hole, and the 2nd flexible substrate which has the 2nd through hole The 1st step which positions the 1st pewter on said pad of said wiring substrate, The 2nd step in which said 1st flexible substrate is positioned so that said 1st through hole may counter said 1st pewter, Dissolve said 1st pewter and said a part of 1st pewter [at least] is moved into said 1st through hole. The 3rd step which connects said pad of said wiring substrate, and said 1st through hole of said 1st flexible substrate with said 1st pewter, The 4th step, which positions the 2nd pewter with the melting point lower than said 1st pewter on said 1st through hole, The 5th step in which said 2nd flexible substrate is positioned so that said 2nd through hole may counter said 2nd pewter, Dissolve said 2nd pewter at the temperature below the melting point of said 1st pewter, and said a part of 2nd pewter [at least] is moved into said 2nd through hole. The manufacture approach of the mounting structure of the electronic parts characterized by including the 6th step which connects said 1st and 2nd through holes with said 2nd pewter.

[Claim 14] It is the manufacture approach of the mounting structure of the electronic parts for connecting two or more flexible substrates with which each has a through hole and by which the laminating was carried out -- The 1st step which connects with a pewter those which adjoin in the direction of a laminating of said flexible substrate among the through holes of two or more of said flexible substrates, The manufacture approach of the mounting structure of the electronic parts characterized by including the 2nd step which checks the connection condition between said through holes when said pewter appeared in said through hole of the best thing among said two or more flexible substrates.

[Claim 15] Mounting structure of the electronic parts according to claim 1 characterized by including the radiator material thermally connected with mounting ***** electronic parts and these electronic parts at least among said two or more flexible substrates at the best thing, and the support means which supports this radiator material on said wiring substrate.

[Claim 16] Mounting structure of the electronic parts according to claim 1 characterized by said through hole having a taper.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[Field of the Invention] This invention relates to the mounting structure of electronic parts where the laminating of two or more substrates is carried out, especially about the mounting structure of electronic parts.

[0001]

[Description of the Prior Art] an example of the conventional technique of the mounting structure where the laminating of two or more substrates is carried out -- RAO R TSUMMARA, EUGEN Jay RIMASUTSUKI collaboration, and the "microelectronics packaging handbook" (Rao R. Tummala, Eugene J. Rymaszewski, "Microelectronics Packaging Handbook", 1989, Van Nostrand Reinhold, New York) of the 1989 fan NOSUTO land line HORUDO publication -- it is indicated by the 464th page from the 462nd page.

[0002] Reference of Fig. 7 [seven to] of this reference carries out the laminating of the two ceramic substrates with this technique. Between these ceramic substrates, it connects by soldering the pin projected from the inferior surface of tongue of an up substrate on the top face of a lower substrate.

[0003]

[Problem(s) to be Solved by the Invention] There were the following problems with this conventional technique.

[0004] It is hard to check the connection condition between substrates to the 1st. It is because a connection part is covered by the up substrate.

[0005] A design change takes [2nd] long duration. Compared with flexible substrates, such as a tape OUTOMEI Ted bonding (TAB) tape, it is for the design change of a ceramic substrate to require long duration. Specifically, the design change of a ceramic substrate takes several months to the design change of a TAB tape being completed in several days. The modification process of the mask of internal wiring or a screen requires especially time amount.

[0006] In view of the problem of such a conventional technique, the 1st purpose of this invention has the check of the connection condition between substrates in offering the mounting structure of easy electronic parts.

[0007] The 2nd purpose of this invention is to offer the mounting structure of the electronic parts which can carry out a design change for a short time.

[0008] The 3rd purpose of this invention is to shorten the connection wire length between electronic parts.

[0009]

[Means for Solving the Problem] Pewter connection of those by which the mounting structure of the electronic parts of this invention adjoins in the direction of a laminating of said flexible substrate among said through holes of two or more of said flexible substrates including two or more flexible substrates with which each has a through hole, and by which the laminating was carried out is made.

[0010] In the manufacture approach of the mounting structure of electronic parts where such a manufacture approach of mounting structure contains the 1st flexible substrate which has the 1st through hole, and the 2nd flexible substrate which has the 2nd through hole The 1st step which

positions a pewter on said 1st through hole, The 2nd step in which said 2nd flexible substrate is positioned so that said 2nd through hole may counter with said pewter, Said pewter is dissolved, said some of pewters [at least] are moved into said 2nd through hole, and the 3rd step which connects said 1st and 2nd through holes with said pewter is included.

[0011] It is, moreover, the manufacture approach of the mounting structure of electronic parts for other manufacture approaches to connect two or more flexible substrates with which each has a through hole and by which the laminating was carried out -- The 1st step which connects with a pewter those which adjoin in the direction of a laminating of said flexible substrate among the through holes of two or more of said flexible substrates, When said pewter appeared in said through hole of the best thing among said two or more flexible substrates, the 2nd step which checks the connection condition between said through holes is included.

[0012]

[Embodiment of the Invention] Next, the 1st example of this invention is explained with reference to a drawing.

[0013] When drawing 1 is referred to, the mounting structure of the electronic parts of the 1st example of this invention contains two or more tape carrier packages 1 by which the laminating was carried out to the top face of the wiring substrate 30 and the wiring substrate 30. Although the tape carrier packages 1a-1d of four layers are illustrated by drawing 1, there is no constraint in the number of layers of a tape carrier package 1. Between the adjoining tape carrier packages 1, it connects according to the connection structure mentioned later. LSI chip 20 is mounted in the center section of each tape carrier package 1. The circuit side of LSI chip 20 is covered with plastics mold resin 22. The heat exchanger plate which is not illustrated intervenes between adjoining LSI chips 20. A heat exchanger plate is formed with right thermal-conductivity ingredients, such as a copper-tungsten alloy. Two or more I/O pins 50 are set up by the inferior surface of tongue of the wiring substrate 30.

[0014] When drawing 2 and drawing 3 are referred to, each tape carrier package 1 contains the flexible film 10. The ingredients of the flexible film 10 are insulating materials, such as polyimide resin and an epoxy resin. The flexible film 10 is **** about one-side the square of about 50mm. The flexible film 10 has the thickness of about 50 micrometers, and shows flexibility.

[0015] The device hole for holding LSI chip 20 is established in the center section of the flexible film 10. Two or more through holes 12 are arranged in the shape of a grid on the outside of a device hole. A lattice spacing is about 1.27mm. The diameter of a through hole 12 is about 100 micrometers. The land 13 which is a conductor pattern is formed in the perimeter and medial surface of a through hole 12. The diameter of a land 13 is about 300 micrometers.

[0016] A circuit pattern 11 is formed on the flexible film 10. The line breadth of a circuit pattern 11 is about 50 micrometers. The end of a circuit pattern 11 is connected to a through hole 12. The other end of a circuit pattern 11 is connected to the end of the beam lead 14 in the periphery of a device hole. The other end of the beam lead 14 is connected to a projection and the connection terminal of LSI chip 20 inside a device hole.

[0017] A tape OTOMEITIDDO bonding (TAB) technique can be used for manufacture of a tape carrier package 1, and mounting of LSI chip 20. the detail of a TAB technique -- for example, RAO R TSUMMARA, EUGEN Jay RIMASUTSUKI collaboration, and the "microelectronics packaging handbook" (Rao R.Tummala, Eugene J.Rymaszewski, "Microelectronics Packaging Hnadbook", 1989, Van Nostrand Reinhold, New York) of the 1989 fan NOSUTO land line HORUDO publication -- it is indicated by 409th page - the 454th page. The tape carrier package 1 manufactured with the TAB technique is called a TAB tape career.

[0018] The ingredient of the wiring substrate 30 is an epoxy resin, polyimide resin, etc. which were reinforced with the glass fiber. The wiring substrate 30 presents one-side the square of about 60mm. The wiring substrate 30 has the thickness of about 2.5mm, and shows strong rigidity. The wiring substrate 30 is a multilayer-interconnection substrate. The touch-down wiring layers 34 and 36 and the

power-source wiring layers 35 and 37 are formed in the interior of the wiring substrate 30.

[0019] Two or more pads 31 are formed in the top face of the wiring substrate 30. A pad 31 is arranged in the location corresponding to the through hole 12 of a tape carrier package 1. That is, a pad 31 is arranged in the shape of a grid. A lattice spacing is about 1.27mm. The solder resist 32 is covered by the field except the pad 31 of the top face of the wiring substrate 30.

[0020] Two or more I/O pins 50 are set up by the inferior surface of tongue of the wiring substrate 30. The I/O pin 50 is arranged in the shape of a grid. A lattice spacing is about 1.27mm. When mounting structure is mounted in a mother board, the I/O pin 50 is connected to this mother board. Since the I/O pin 50 has been arranged all over the inferior surface of tongue of the wiring substrate 30, the die length of wiring is made to the shortest using directly under [of LSI chip 20], or the I/O pin 50 of the near.

[0021] Reference of drawing 3 inserts the end of the I/O pin 50 in the hole 38 of the wiring substrate 30. The insulating coat 55 is covered by the insertion part of the I/O pin 50. A part of insulating coat 55 is removed, and the side face of the I/O pin 50 exposes it from this part. According to the removal part of the insulating coat 55, three sorts of I/O pins 51-53 are prepared. The upside insulating coat 55 is removed by the I/O pin 51. For this reason, the I/O pin 51 is connected to the power-source wiring layer 35. The lower insulating coat 55 is removed by the I/O pin 52. The I/O pin 52 is connected to the power-source wiring layer 37. The insulating coat 55 of pars intermedia is removed by the I/O pin 53. The I/O pin 53 is connected to the touch-down wiring layer 36. Thus, the internal wiring layer and the I/O pin 50 of the wiring substrate 30 are alternatively connectable with selection of a pin kind. Moreover, the through hole for signal pins is also established in the wiring substrate 30. A pin without pre-insulation is inserted in the through hole for signal pins.

[0022] Reference of drawing 2 and drawing 3 attaches the heat sink 60 for heat dissipation on LSI chip 20 mounted in the best tape carrier package 1d.

[0023] Next, the connection structure for tape carrier package 1a-1d is explained.

[0024] Reference of drawing 3 positions the tape carrier packages [1a-1d] through holes 12a-12d on a straight line on the pad 31 of the wiring substrate 30. These through holes 12a-12d are connected by the pewter 15. The through holes [12a-12d] interior is filled up with the pewter 15.

[0025] Next, the manufacture approach of the mounting structure of this example is explained with reference to a drawing. Specifically, how to carry out the laminating of the tape carrier packages 1a and 1b on the wiring substrate 30 is explained. By this laminating approach, two or more tape carrier packages 1 are connected at once.

[0026] Reference of drawing 4 (a) positions a pewter 15 on the pad 31 of the wiring substrate 30 in the 1st step. For example, the cream-like pewter 15 is printed on a pad 31.

[0027] Reference of drawing 4 (b) positions the tape carrier packages 1a and 1b by which the laminating was carried out on a pewter 15 in the 2nd step.

[0028] Reference of drawing 4 (c) heats a pewter 15 in the 3rd step. A pewter 15 dissolves and the part is sucked up inside through holes 12a and 12b. Then, a pewter 15 is cooled and through holes 12a and 12b are connected with a pad 31.

[0029] Next, other laminating approaches are explained. By this laminating approach, the laminating of the tape carrier package 1 is carried out one by one.

[0030] Reference of drawing 5 (a) positions pewter 15a on a pad 31 in the 1st step.

[0031] Reference of drawing 5 (b) connects through hole 12 of tape carrier package 1a a to a pad 31 by drawing 4 (b) and the same approach as (c) in the 2nd step.

[0032] Reference of drawing 5 (c) positions pewter 15b on pewter 15a in the 3rd step. The melting point of pewter 15b is higher than the thing of pewter 15a.

[0033] Reference of drawing 5 (d) connects through hole 12 of tape carrier package 1b b to through hole 12a by drawing 4 (b) and the same approach as (c) in the 4th step. Whenever [stoving temperature / of pewter 15b] is lower than the melting point of pewter 15a. For this reason, pewter 15a is not dissolved at the 4th step.

[0034] By the above manufacture approach, the connection condition of through holes 12a and 12b can be checked easily. What is necessary is just to specifically check that the pewter 15 has appeared inside the best through hole 12b. This can be checked only by viewing tape carrier package 1b from the upper part.

[0035] In the 1st example, one side of LSI chip 20 sets to 20mm, and the height which set LSI chip 20, a heat-conduction plate, and plastics mold resin 20 is set to 1mm. Supposing it supposes that a laminating is carried out at spacing whose LSI chip 20 is 2mm, it sets one side of a tape carrier package 1 to 50mm and four LSI chips 20 are mounted in one tape carrier package 1 16 LSI chips 20 are arranged in one-side 40mm and the field with a height of 4mm of the forward square pole. The wiring field of these LSI chips 20 becomes one-side 50mm and the forward square pole with a height of 4mm. Therefore, when LSI chip 20 interconnects with three-dimension direct system wiring, the wire length which connects between LSI chips 20 of the maximum ** is set to 104mm or less.

[0036] On the other hand, when 16 LSI chips 20 mentioned above are mounted in the substrate of one layer, the mounting field of LSI chip 20 serves as one-side a square of 80mm. In this structure, the wire length which connects LSI chip 20 comrades of the maximum ** amounts to about 160mm. Thus, according to this invention, the wire length between LSI chips 20 can be shortened.

[0037] Next, the 2nd example of this invention is explained with reference to a drawing. The description of the 2nd example is in the structure of a through hole 12. Other structures are the same as the 1st thing and essential target of an example.

[0038] Reference of drawing 6 forms the taper in the through hole 12 of the 2nd example.

[0039] Next, the 3rd example of this invention is explained with reference to a drawing. The description of the 2nd example is in the tape carrier package for design changes for making a design change easy.

Other structures are the same as the 1st thing and essential target of an example. In the tape carrier package for design changes, a cutting means, a connecting means, and a means for switching are prepared suitably, and a design change is realized with the combination of these means.

[0040] Reference of drawing 7 (a) realizes the cutting means of the tape carrier package 4 for design changes by not preparing a through hole. As for the tape carrier package 1, the through hole 12 is formed on the lattice point. However, the tape carrier package 4 for design changes does not have a through hole on this lattice point, but it insulates between vertical sides. Instead of a through hole, a land 41 is formed in the top face of the tape carrier package 4 for design changes. Pewter connection of the land 41 is made in the through hole 12 of a tape carrier package 1. Thus, the signal through hole 33 and a through hole 12 are cut electrically. In addition, the ingredient of the flexible film 40 of the tape carrier package 4 for design changes, a dimension, and a configuration are the same as the thing of the flexible film 10, and good.

[0041] Reference of drawing 7 (b) realizes the connecting means of the tape carrier package 4 for design changes with the circuit pattern 43 prepared on the tape carrier package 4 for design changes. A circuit pattern 43 connects the through hole 421 and through hole 422 of the tape carrier package 4 for design changes. Thereby, the signal through hole 331 and the signal through hole 332 are connected.

[0042] Reference of drawing 7 (c) realizes the means for switching of the tape carrier package 4 for design changes in the combination of a cutting means and a connecting means. It has a tape carrier package 1 through hole 12 on the lattice point. However, the tape carrier package 4 for design changes does not have a through hole 12 at this lattice point. For this reason, a through hole 12 is cut as electrically as the signal through hole 331. Instead of a through hole, a land 44 is formed in the top face of the tape carrier package 4 for design changes. A land 44 is connected to a through hole 42 through a circuit pattern 43. A through hole 42 is located at lattice point when a through hole 12 is another. Thus, originally connection **** can make change-over connection of the through hole 12 of ** in the signal through hole 331 at the signal through hole 332.

[0043] It can respond to various design changes by combining a cutting means, a connecting means, and a means for switching. Compared with a multilayer-interconnection substrate, the tape carrier package 4

for design changes can be created in a short time. For this reason, the design change of the mounting structure can be carried out for a short time. Now, the tape carrier package 4 for design changes can be created in about two – three days.

[0044] In this example, the tape carrier package 4 for design changes was installed between the tape carrier packages 1 of the wiring substrate 30 and the lowest layer. However, it is also possible to install the tape carrier package 4 for design changes in other locations between layers. Moreover, two or more tape carrier packages 4 for design changes may be used.

[0045] Next, the 4th example of this invention is explained with reference to a drawing.

[0046] When drawing 8 is referred to, the description of this example is to have formed the supporter material 61 for supporting a heat sink 60. Other structures are the same as the 1st thing and essential target of an example.

[0047] The supporter material 61 has the column-like leg and Itabe prepared on this leg. The leg of the supporter material 61 is inserted in the hole established in the flexible film 10, and is fixed on the wiring substrate 30. At this time, LSI chip 20 of the best tape carrier package 1 and the inferior surface of tongue of Itabe of the supporter material 61 contact. Itabe has the hole in which the best through hole 12 is held. The electric contact to a through hole 12 and Itabe is prevented by this hole. A heat sink 60 is attached in the top face of the supporter material 61.

[0048] You may fill up with resin between the adjoining flexible films 10. Moreover, you may fill up with resin between the supporter material 61 and the best flexible film 10. As these resin, what combines insulation and right thermal conductivity is desirable.

[0049] With such structure, the heat generated from each LSI chip 20 gets across to best LSI chip 20 through the heat-conduction plate formed in the gap of LSI chip 20. The heat which got across to best LSI chip 20 gets across to a heat sink 60 through Itabe of the supporter material 61. The heat which got across to the heat sink 60 is exhausted by the open air.

[0050] In the 4th example, since a heat sink 60 is supported by the supporter material 61, the weight of a heat sink 60 does not join LSI chip 20. For this reason, even if it uses the large-sized heat sink 60, the dependability of LSI chip 20 does not fall. Moreover, the leg of the supporter material 61 functions also as a guide of a tape carrier package 1.

[0051] Next, other embodiments of this invention are explained.

[0052] Two or more LSI chips 20 may be mounted in one tape carrier package 1. The description of each above-mentioned example may be combined.

[0053]

[Effect of the Invention] As mentioned above, in this invention, LSI chip 20 was mounted in the tape carrier package 1, and the laminating of two or more tape carrier packages 1 was carried out. Between tape carrier packages 1, it connects by carrying out pewter attachment of the through hole 12 comrades prepared in the tape carrier package 1. A design change is realized by making the tape carrier package 4 for design changes intervene between tape carrier packages 1. The following effectiveness is attained by such configuration.

[0054] The connection condition between tape carrier packages 1 can check [1st] easily. What is necessary is just to specifically check visually that the pewter has appeared in the best through hole 12.

[0055] A design change is [2nd] possible for a short time. What is necessary is just to specifically insert the tape carrier package 4 for design changes. The tape carrier package 4 for design changes can be created in a short time.

[0056] To the 3rd, the connection wire length between electronic parts can be shortened. It is because electronic parts were mounted in three dimension.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing showing the structure of the 1st example of this invention.

[Drawing 2] The exploded view showing the structure of the 1st example of this invention.

[Drawing 3] Drawing showing the detailed structure of the 1st example of this invention.

[Drawing 4] Drawing showing the manufacture approach of the 1st example of this invention.

[Drawing 5] Drawing showing other manufacture approaches of the 1st example of this invention.

[Drawing 6] Drawing showing the structure of the through hole 12 of the 2nd example of this invention.

[Drawing 7] Drawing showing the structure of the tape carrier package 4 for design changes of the 3rd example of this invention.

[Drawing 8] Drawing showing the structure of the 4th example of this invention.

[Description of Notations]

1, 1a-1d Tape carrier package

10, 10a-10d Flexible film

11-Circuit Pattern

12, 12a-12d Through hole

121-Through Hole

122 Through Hole

13-Land

14 Beam Lead

15 Pewter

20 LSI Chip

22 Plastics Mold Resin

30 Wiring Substrate

31 Pad

32 Solder Resist

33 Signal through Hole

331 Signal through Hole

332 Signal through Hole

34 Touch-down Wiring Layer

35 Power-Source Wiring Layer

36 Touch-down Wiring Layer

37 Power-Source Wiring Layer

38 Hole

4 Tape Carrier Package for Design Changes

40 Flexible Film

41 Land

42 Through Hole

421 Through Hole

422 Through Hole

43.Circuit Pattern

44 Land

50 I/O Pin

51 I/O Pin

52 I/O Pin

53 I/O Pin

55 Insulating Coat

60 Heat Sink

61 Supporter Material

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.